

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087558

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 23/12
H01L 21/3205
// H01L 21/60
H01L 21/60

(21)Application number : 09-247134

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 11.09.1997

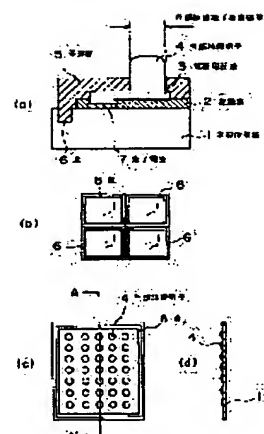
(72)Inventor : MORITA HIROMI

(54) SEMICONDUCTOR DEVICE WITH OUTER CONNECTION TERMINAL

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a semiconductor device to be restrained from increasing in outer shape and to be improved in mounting density even if the number of outer connection terminals is increased by a method wherein a device body, a device electrode, an electrode wiring, and an outer connection terminal which are electrically connected together are insulated by an insulating film, and the outer connecting terminal is provided on the surface of the insulating film so as to be exposed.

SOLUTION: A device electrode 7, an electrode wiring 3, and an outer connection terminal 4 which are electrically connected together are insulated from other devices and electrodes by an insulating film 2 and a protective film 5. As mentioned above, the outer connection terminal 4 is formed so as to be exposed above the protective film 5 which covers the surface of a semiconductor chip, and the outer connection terminal 4 is arranged on the surface of the semiconductor chip even if the semiconductor chip is enlarged in size, so that a semiconductor device can be restrained from increasing in size. Even if the outer connection terminals 4 are increased in number, they are arranged on the surface of the semiconductor chip, so that the outer connection terminals are arranged being given some latitude, and the semiconductor chip can be restrained from increasing in outer shape.



LEGAL STATUS

[Date of request for examination] 04.02.2002

[Date of sending the examiner's decision of rejection] 23.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-08185

[Date of requesting appeal against examiner's decision of rejection] 22.04.2004

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor substrate of an abbreviation four way type, and the component body formed in the interior or the upper part of said semi-conductor substrate, The slot formed along with the periphery of said semi-conductor substrate, and the component electrode formed on said component body, Wiring for electrodes which is formed on said component electrode and extends to the external connection terminal fetch field on said semi-conductor substrate, The external connection terminal formed in the external connection terminal fetch field on said wiring for electrodes, It is the insulator layer formed so that wiring for said component body connected electrically, a component electrode, and electrodes and an external connection terminal might be insulated. The semiconductor device with an external connection terminal characterized by having the insulator layer which was formed so that said external connection terminal might be exposed to the front face, and has extended to said interior of a slot.

[Claim 2] The semi-conductor substrate of an abbreviation four way type, and the component body formed in the interior or the upper part of said semi-conductor substrate, The slot formed along with the periphery of said semi-conductor substrate, and the component electrode formed on said component body, Said component body electrically connected with the external connection terminal formed on said component electrode, The semiconductor device with an external connection terminal characterized by having the insulator layer which is an insulator layer formed so that a component electrode and an external connection terminal might be insulated, was formed so that said external connection terminal might be exposed to the front face, and has extended to said interior of a slot.

[Claim 3] Said semiconductor device with an external connection terminal is a semiconductor device with an external connection terminal according to claim 1 or 2 to which two or more external connection terminals which have two or more component bodies and are electrically connected with each of each component body are characterized by being formed in an insulator layer front face in the shape of a matrix.

[Claim 4] Said external connection terminal is a semiconductor device with an external connection terminal according to claim 1 to 3 characterized by being the metal rod of a pin configuration.

[Claim 5] Said external connection terminal is a semiconductor device with an external connection terminal according to claim 1 to 3 characterized by being the socket which has a crevice for external connection.

[Claim 6] Said semiconductor device with an external connection terminal is a semiconductor device with an external connection terminal according to claim 1 to 5 characterized by forming said slot in the state of a wafer, and cutting it in the shape of [the] an omission-of-the-rest four way type.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which the external connection terminal exposed to the front face.

[0002]

[Description of the Prior Art] Generally the semiconductor device is packed using a ceramic or mold resin. In this case, the semi-conductor substrate of the abbreviation four way type with which two or more components were formed, and the thing usually called a semiconductor chip are connected with two or more external terminals put in order so that it might counter each side of an abbreviation four way type by the gold streak etc. Some of these semiconductor chips, gold streaks, and external terminals are covered with a ceramic or mold resin.

[0003] With such structure, when the size of a semiconductor chip becomes large, since two or more external terminals are arranged around the semiconductor chip which became large, they cannot but enlarge the appearance. Moreover, also when the number of external terminals increases, since there is a limitation in the pitch of an external terminal, the appearance must be enlarged.

[0004] In such a case, it was difficult to aim at improvement in packaging density.

[0005]

[Problem(s) to be Solved by the Invention] When the size of a semiconductor chip becomes large, or even if this invention is the case where the number of external terminals increases, it can suppress increase of the appearance and aims at offering the semiconductor device with an external connection terminal which can aim at improvement in packaging density.

[0006]

[Means for Solving the Problem] The semiconductor device with an external connection terminal of the 1st invention The semi-conductor substrate of an abbreviation four way type, The component body formed in the interior or the upper part of this semi-conductor substrate, and the slot formed along with the periphery of a semi-conductor substrate, The component electrode formed on the component body, and wiring for electrodes which is formed on this component electrode and extends to the external connection terminal fetch field on said semi-conductor substrate, The external connection terminal formed in the external connection terminal fetch field on this wiring for electrodes, It is the insulator layer formed so that wiring for the component body connected electrically, a component electrode, and electrodes and an external connection terminal might be insulated, and has the insulator layer which was formed so that an external connection terminal might be exposed to the front face, and has extended to the interior of a slot.

[0007] Here, an insulator layer is the insulator layer 2 and protective coat 5 of a gestalt of the 1st operation.

[0008] The semiconductor device with an external connection terminal of the 2nd invention The semi-conductor substrate of an abbreviation four way type, The component body formed in the interior or the upper part of this semi-conductor substrate, and the slot formed along with the periphery of a semi-conductor substrate, The component electrode formed on the component body, and the external

connection terminal formed on this component electrode, It is the insulator layer formed so that the component body, component electrode, and external connection terminal which are connected electrically might be insulated, and has the insulator layer which was formed so that an external connection terminal might be exposed to the front face, and has extended to the interior of a slot. [0009] Here, an insulator layer is the insulator layer 2 and protective coat 5 of a gestalt of the 1st operation.

[0010]

[Embodiment of the Invention]

(Gestalt of the 1st operation) Drawing 1 (a) is drawing showing the 1st operation gestalt of this invention, and (b) is the top view of the slot of (a).

[0011] First, the structure of this semiconductor device with an external connection terminal is explained.

[0012] 1 is the semi-conductor substrate of an abbreviation four way type, and the component body is formed in the interior or the upper part of this semi-conductor substrate 1. The component electrode 7 is formed on this component body, and the wiring 3 for electrodes which extends to the external connection terminal fetch field A is formed on this component electrode 7. The external connection terminal 4 is formed in the external connection terminal fetch field A on this wiring 3 for electrodes.

[0013] Moreover, the component electrode 7, the wiring 3 for electrodes, and the external connection terminal 4 which are connected electrically are insulated with other components or an electrode by the insulator layer 2 and the protective coat 5. Of course, the front face of the external connection terminal 4 is exposed to the upper part of a protective coat 5.

[0014] 6 is a slot, and as shown in drawing 1 (b), it is formed along with the periphery of this semi-conductor substrate 1.

[0015] Next, the manufacture approach of this semiconductor device with an external connection terminal is explained.

[0016] The semi-conductor substrate 1 of the abbreviation four way type with which the component body is formed in the interior or upper part prepares the semi-conductor wafer by which two or more formation is carried out, and forms a slot 6 by etching along with the periphery of each semi-conductor substrate 1 (drawing 1 (b)).

[0017] Next, the component electrode 7 is formed so that it may connect with a component body, and an insulator layer 2 is formed on this component electrode 7. At this time, an insulator layer 2 is not formed on a slot 6.

[0018] Next, the contact hole where even the component electrode 7 reaches on an insulator layer 2 by etching is formed, the wiring 3 for electrodes is formed on a contact hole and an insulator layer 2, and patterning is performed so that it may extend from the contact hole to the external connection terminal fetch field A.

[0019] Next, a protective coat 5 is formed on a slot 6, an insulator layer 2, and the wiring 3 for electrodes, and the contact hole where even the wiring 3 for electrodes arrives at the external terminal fetch field A is formed. It forms so that that front face may expose the external connection terminal 4 on a protective coat 5 in this contact hole.

[0020] Thus, the external connection terminal 4 is connected to the wiring 3 for electrodes through the contact hole of a protective coat 5, and this wiring 3 for electrodes extends on an insulator layer 2, and is connected to the component electrode 7.

[0021] Finally, each semi-conductor substrate 1 shown in drawing 1 (b) is separated.

[0022] Thus, with the 1st operation gestalt of this invention, since it is formed so that the external connection terminal 4 may expose a semiconductor chip front face to the upper part of the wrap protective coat 5 and an external connection terminal is arranged on the front face even when the size of a metaphor semiconductor chip becomes large, increase of the appearance by an external connection terminal being arranged around a semiconductor chip like before can be suppressed.

[0023] Moreover, also when the number of external connection terminals increases, since the external connection terminal 4 is arranged on the surface of a semiconductor chip, allowance is made to arrangement of an external connection terminal, and increase of an appearance can be suppressed. Especially, with the 1st operation gestalt of this invention, since between the component electrode 7 and the external connection terminals 4 is connected using the wiring 3 for electrodes, it can form in the location of the request of the external connection terminal 4 on the front face of a semiconductor chip, and the pitch of the external connection terminal 4 can be set up suitably.

[0024] Drawing 1 (c) is the plan of the semiconductor chip with which the external electrode terminal 4 has been arranged in the shape of a matrix, and (d) is the A-A' sectional view of (c).

[0025] Thus, if the wiring 3 for electrodes is drawn about from each component electrode 7 so that an external connection terminal may be arranged in the shape of a matrix, it can respond to the increment in an external connection terminal, without enlarging an appearance.

[0026] Moreover, with the 1st operation gestalt of this invention, since a slot 6 be form along with the periphery of the semi-conductor substrate 1 and the protective coat 5 be form in the interior of a slot and upper part, the distance of a component body and the exterior can become long, it can prevent that an external ambient atmosphere invade from the interface of the semi-conductor substrate 1 and a protective coat 5, and the damage of the protective coat 5 by thermal stress can be prevent further. Moreover, since the touch area of the semi-conductor substrate 1 and a protective coat 5 increases by this slot 6, the mechanical stress at the time of cutting can be eased.

[0027] Furthermore, since it has wrap structure by the protective coat 5 in the front face of a semiconductor chip, the further mounting by the ceramic or mold resin becomes unnecessary, and can aim at miniaturization of an appearance, and improvement in packaging density.

(Gestalt of the 2nd operation) Drawing 2 is drawing showing the 2nd operation gestalt of this invention.

[0028] The same sign is given to drawing 1 (a) and a corresponding part, and the detailed explanation is omitted.

[0029] In the semiconductor device with an external connection terminal of drawing 2 , the external connection terminal 4 is directly formed in component electrode top 7, and the wiring 3 for electrodes of the semiconductor device with an external connection terminal of drawing 1 R> 1 (a) is not formed.

[0030] When allowance is in spacing of two or more component electrodes 7 in this way, not using the wiring 3 for electrodes, the external connection terminal 4 may be directly formed in component electrode top 7.

[0031] The formation process of an insulator layer 2 of the manufacture approach of this semiconductor device with an external connection terminal is the same as that of the 1st operation gestalt. A protective coat 5 is formed on this insulator layer 2 and a slot 6.

[0032] Next, the contact hole at which even the component electrode 7 arrives is formed, and it forms so that that front face may expose the external connection terminal 4 on a protective coat 5 in this contact hole.

[0033] In this case, the external connection terminal 4 is connected to the direct component electrode 7 through a contact hole.

[0034] Finally, each semi-conductor substrate 1 shown in drawing 1 (b) is separated.

[0035] Thus, with the 2nd operation gestalt of this invention, since it is formed so that the external connection terminal 4 may expose a semiconductor chip front face to the upper part of the wrap protective coat 5 and an external connection terminal is arranged on the front face even when the size of a metaphor semiconductor chip becomes large, increase of the appearance by an external connection terminal being arranged around a semiconductor chip like before can be suppressed.

[0036] Moreover, also when the number of external connection terminals increases, since an external connection terminal is arranged on the surface of a semiconductor chip, allowance is made to arrangement of an external connection terminal, and increase of an appearance can be suppressed.

[0037] Since it is not necessary to form the wiring 3 for electrodes as compared with the 1st operation

gestalt, the configuration becomes simple and manufacture by the short time and low cost is possible. Such a configuration is suitable when allowance is in spacing of two or more component electrodes 7, as point ** was carried out.

(Gestalt of the 3rd operation) Drawing 3 is drawing showing the 3rd operation gestalt of this invention.

[0038] The same sign is given to drawing 1 (a) and a corresponding part, and the detailed explanation is omitted.

[0039] In the semiconductor device with an external connection terminal of drawing 3, the metal rod 34 of a pin mold is used as an external connection terminal, and it applies to a grid-of-pins array (PGA) mold. A copper ingredient etc. is used for the metal rod 34.

[0040] Since the manufacture approach of this semiconductor device with an external connection terminal is the same as the 1st operation gestalt, that detailed explanation is omitted.

(Gestalt of the 4th operation) Drawing 4 is drawing showing the 4th operation gestalt of this invention.

[0041] The same sign is given to drawing 1 (a) and a corresponding part, and the detailed explanation is omitted.

[0042] In the semiconductor device with an external connection terminal of drawing 4, the socket 44 which has crevice 44a for external connection as an external connection terminal is used, and connection with an external component or an external device is made by connecting wiring which has heights in this SOKKETO 44.

[0043] Since the manufacture approach of this semiconductor device with an external connection terminal is the same as the 1st operation gestalt, that detailed explanation is omitted.

[0044]

[Effect of the Invention] As mentioned above, like, by this invention, since it is formed so that the external connection terminal 4 may expose a semiconductor chip front face to the upper part of the wrap protective coat 5 and an external connection terminal is arranged on the front face even when [which was explained to the detail] the size of a metaphor semiconductor chip becomes large, increase of the appearance by an external connection terminal being arranged around a semiconductor chip like before can be suppressed.

[0045] Moreover, also when the number of external connection terminals increases, since an external connection terminal is arranged on the surface of a semiconductor chip, allowance is made to arrangement of an external connection terminal, and increase of an appearance can be suppressed.

[0046] Moreover, in this invention, since a slot 6 is formed along with the periphery of a semi-conductor substrate and the protective coat 5 is formed in the interior of a slot and upper part, the distance of a component body and the exterior can become long, it can prevent that an external ambient atmosphere invades from the interface of the semi-conductor substrate 1 and a protective coat 5, and the damage of the protective coat 5 by thermal stress can be prevented further. Moreover, since the touch area of a semi-conductor substrate and a protective coat increases by this slot 6, the mechanical stress at the time of cutting can be eased.

[0047] Furthermore, since it has wrap structure by the protective coat 5 in the front face of a semiconductor chip, the further mounting by the ceramic or mold resin becomes unnecessary, and can aim at miniaturization of an appearance, and improvement in packaging density.

[0048] Moreover, in the 1st invention, since between the component electrode 7 and the external connection terminals 4 is connected using the wiring 3 for electrodes, the external connection terminal 4 can be formed in the location of arbitration in the quantity and the pitch of arbitration in a semiconductor chip front face, the miniaturization of an appearance can be realized, and improvement in packaging density can be aimed at.

[Translation done.]

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the 1st operation gestalt of this invention

[Drawing 2] Drawing showing the 2nd operation gestalt of this invention

[Drawing 3] Drawing showing the 3rd operation gestalt of this invention

[Drawing 4] Drawing showing the 4th operation gestalt of this invention

[Description of Notations]

1 Semi-conductor Substrate

2 Insulator Layer

3 Wiring for Electrodes

4 External Connection Terminal

5 Protective Coat

6 Slot

7 Component Electrode

A External connection terminal fetch field

34 Metal Rod

44 Socket

44a Crevice

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87558

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

21/3205

21/60

3 0 1 N

// H 0 1 L 21/60

3 0 1

21/88

T

21/92

6 0 2 Z

6 0 2 K

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号

特願平9-247134

(22) 出願日

平成9年(1997) 9月11日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 森田 博美

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

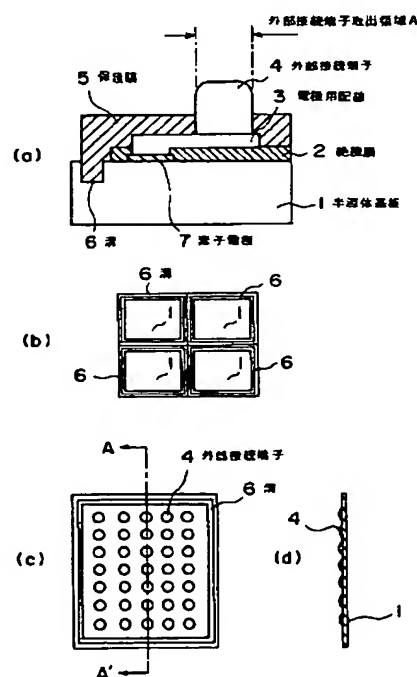
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 外部接続端子付半導体素子

(57) 【要約】

【課題】 半導体チップのサイズが大きくなった場合、もしくは外部接続端子の数が増加した場合であっても、その外形の増大を抑えることができ、実装密度の向上を図れる外部接続端子付半導体素子を提供する。

【解決手段】 半導体基板1上の素子電極7に接続される外部接続端子4を半導体基板1上を覆う保護膜5の表面に露出させ、かつ、半導体基板1上に形成された溝6の上までこの保護膜5が延在する構成とする。



本発明の第1の実施形態を示す図

(2)

1

【特許請求の範囲】

【請求項1】 略四方形の半導体基板と、
前記半導体基板の内部もしくは上部に形成された素子本体と、
前記半導体基板の外周に沿って形成された溝と、
前記素子本体上に形成された素子電極と、
前記素子電極上に形成され前記半導体基板上の外部接続端子取出領域まで延在する電極用配線と、
前記電極用配線上の外部接続端子取出領域に形成された外部接続端子と、
電氣的に接続されている前記素子本体、素子電極、電極用配線および外部接続端子を絶縁するよう形成された絶縁膜であって、その表面に前記外部接続端子が露出するように形成され、かつ前記溝内部まで延在している絶縁膜と、
を有することを特徴とする外部接続端子付半導体素子。

【請求項2】 略四方形の半導体基板と、
前記半導体基板の内部もしくは上部に形成された素子本体と、
前記半導体基板の外周に沿って形成された溝と、
前記素子本体上に形成された素子電極と、
前記素子電極上に形成された外部接続端子と、
電氣的に接続されている前記素子本体、素子電極および外部接続端子を絶縁するよう形成された絶縁膜であって、その表面に前記外部接続端子が露出するように形成され、かつ前記溝内部まで延在している絶縁膜と、
を有することを特徴とする外部接続端子付半導体素子。

【請求項3】 前記外部接続端子付半導体素子は、複数の素子本体を有し、
各素子本体それぞれと電氣的に接続される複数の外部接続端子が、絶縁膜表面にマトリクス状に形成されていることを特徴とする請求項1又は2記載の外部接続端子付半導体素子。

【請求項4】 前記外部接続端子は、ピン形状の金属棒であることを特徴とする請求項1乃至3のいずれかに記載の外部接続端子付半導体素子。

【請求項5】 前記外部接続端子は、外部接続用の凹部を有するソケットであることを特徴とする請求項1乃至3のいずれかに記載の外部接続端子付半導体素子。

【請求項6】 前記外部接続端子付半導体素子は、前記溝がウエハ状態で形成され、その後略四形状に切断されたものであることを特徴とする請求項1乃至5のいずれかに記載の外部接続端子付半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部接続端子がその表面に露出した半導体素子に関するものである。

【0002】

【従来の技術】一般に半導体素子は、セラミックやモールド樹脂を用いてパッケージされている。この場合、複

2

数の素子が形成された略四方形の半導体基板、通常半導体チップとよばれるものは、略四方形の各辺に対向するように並べられた複数の外部端子と金線等により接続される。この半導体チップ、金線および外部端子の一部がセラミックやモールド樹脂により覆われる。

【0003】このような構造では、半導体チップのサイズが大きくなった場合、複数の外部端子は、大きくなった半導体チップの周囲に配置されるためその外形を大きくせざるを得ない。また、外部端子の数が増加した場合も、外部端子のピッチには限界があるためその外形を大きくせざるを得ない。

【0004】このような場合、実装密度の向上を図ることが困難であった。

【0005】

【発明が解決しようとする課題】本発明は、半導体チップのサイズが大きくなった場合、もしくは外部端子の数が増加した場合であっても、その外形の増大を抑えることができ、実装密度の向上を図れる外部接続端子付半導体素子を提供することを目的とする。

【0006】

【課題を解決するための手段】第1の発明の外部接続端子付半導体素子は、略四方形の半導体基板と、この半導体基板の内部もしくは上部に形成された素子本体と、半導体基板の外周に沿って形成された溝と、素子本体上に形成された素子電極と、この素子電極上に形成され前記半導体基板上の外部接続端子取出領域まで延在する電極用配線と、この電極用配線上の外部接続端子取出領域に形成された外部接続端子と、電氣的に接続されている素子本体、素子電極、電極用配線および外部接続端子を絶縁するよう形成された絶縁膜であって、その表面に外部接続端子が露出するように形成され、かつ溝内部まで延在している絶縁膜とを有する。

【0007】ここで、絶縁膜とは例えば第1の実施の形態の絶縁膜2および保護膜5である。

【0008】第2の発明の外部接続端子付半導体素子は、略四方形の半導体基板と、この半導体基板の内部もしくは上部に形成された素子本体と、半導体基板の外周に沿って形成された溝と、素子本体上に形成された素子電極と、この素子電極上に形成された外部接続端子と、電氣的に接続されている素子本体、素子電極および外部接続端子を絶縁するよう形成された絶縁膜であって、その表面に外部接続端子が露出するように形成され、かつ溝内部まで延在している絶縁膜とを有する。

【0009】ここで、絶縁膜とは例えば第1の実施の形態の絶縁膜2および保護膜5である。

【0010】

【発明の実施の形態】

（第1の実施の形態）図1（a）は、本発明の第1の実施形態を示す図で、（b）は（a）の溝部の平面図である。

50

(3)

3

【0011】まず、この外部接続端子付半導体素子の構造について説明する。

【0012】1は略四方形の半導体基板で、この半導体基板1の内部もしくは上部には素子本体が形成されている。この素子本体上には素子電極7が形成され、この素子電極7上には、外部接続端子取出領域Aまで延在する電極用配線3が形成されている。この電極用配線3上の外部接続端子取出領域Aには外部接続端子4が形成されている。

【0013】また、電氣的に接続されている素子電極7、電極用配線3および外部接続端子4は、絶縁膜2と保護膜5により他の素子や電極と絶縁されている。もちろん外部接続端子4の表面は保護膜5の上部に露出している。

【0014】6は溝であり、図1(b)に示すようにこの半導体基板1の外周に沿って形成されている。

【0015】次に、この外部接続端子付半導体素子の製造方法を説明する。

【0016】その内部もしくは上部には素子本体が形成されている略四方形の半導体基板1が複数形成されている半導体ウエハを準備し、それぞれの半導体基板1の外周に沿ってエッチングにより溝6を形成する(図1(b))。

【0017】次に、素子本体と接続するよう素子電極7を形成し、この素子電極7上に絶縁膜2を形成する。このとき、溝6上には絶縁膜2を形成しない。

【0018】次に、エッチングにより絶縁膜2上に素子電極7まで到達するコンタクトホールを形成し、コンタクトホール上および絶縁膜2上に電極用配線3を形成し、コンタクトホール上から外部接続端子取出領域Aまで延在するようにパターンニングを行う。

【0019】次に、溝6、絶縁膜2および電極用配線3上に保護膜5を形成し、外部端子取出領域Aに電極用配線3まで到達するコンタクトホールを形成する。このコンタクトホール内に外部接続端子4をその表面が保護膜5上に露出するよう形成する。

【0020】このように、外部接続端子4は、保護膜5のコンタクトホールを介して電極用配線3に接続され、この電極用配線3は絶縁膜2上に延在し素子電極7に接続される。

【0021】最後に、図1(b)に示す各半導体基板1を切り放す。

【0022】このように、本発明の第1の実施形態では、外部接続端子4が半導体チップ表面を覆う保護膜5の上部に露出するように形成されているので、例えば半導体チップのサイズが大きくなった場合でも、その表面に外部接続端子が配置されるため、従来のような半導体チップの周囲に外部接続端子が配置されることによる外形の増大を抑えることができる。

【0023】また、外部接続端子の数が増加した場合

4

も、半導体チップの表面に外部接続端子4が配置されるため外部接続端子の配置にゆとりができ、外形の増大を抑えることができる。特に、本発明の第1の実施形態では、素子電極7と外部接続端子4との間を電極用配線3を用いて接続しているため、外部接続端子4を半導体チップ表面の所望の位置に形成することができ、外部接続端子4のピッチを適宜設定できる。

【0024】図1(c)は、外部電極端子4がマトリクス状に配置された半導体チップの上面図で、(d)は(c)のA-A'断面図である。

【0025】このように、外部接続端子がマトリクス状に配置されるように各素子電極7から電極用配線3を引き廻せば、外形を大きくすることなく外部接続端子の増加に対応できる。

【0026】また、本発明の第1の実施形態では、半導体基板1の外周に沿って溝6が形成され、その溝内部および上部には保護膜5が形成されているため、素子本体と外部との距離が長くなり、半導体基板1と保護膜5との界面から外部雰囲気が入り込むことを防止することができ、さらに、熱的ストレスによる保護膜5のダメージを防止することができる。また、この溝6により半導体基板1と保護膜5との接触面積が増加するため、切断時の機械的ストレスを緩和できる。

【0027】さらに、半導体チップの表面を保護膜5で覆う構造となっているため、セラミックもしくはモールド樹脂等によるさらなる実装が不必要になり、外形の小型化、実装密度の向上を図ることができる。

(第2の実施の形態) 図2は、本発明の第2の実施形態を示す図である。

【0028】図1(a)と対応する箇所には同じ符号を付し、その詳細な説明を省略する。

【0029】図2の外部接続端子付半導体素子では、素子電極上7に直接外部接続端子4が形成されており、図1(a)の外部接続端子付半導体素子の電極用配線3が形成されていない。

【0030】このように、例えば、複数の素子電極7の間隔にゆとりがあるような場合は、電極用配線3を用いず、直接、素子電極上7に外部接続端子4を形成してもよい。

【0031】この外部接続端子付半導体素子の製造方法は、絶縁膜2の形成工程までは、第1の実施形態と同じである。この絶縁膜2および溝6上に保護膜5を形成する。

【0032】次に、素子電極7まで到達するコンタクトホールを形成し、このコンタクトホール内に外部接続端子4をその表面が保護膜5上に露出するように形成する。

【0033】この場合、外部接続端子4は、コンタクトホールを介して直接素子電極7に接続される。

【0034】最後に、図1(b)に示す各半導体基板1

(4)

5

を切り放す。

【0035】このように、本発明の第2の実施形態では、外部接続端子4が半導体チップ表面を覆う保護膜5の上部に露出するよう形成されているので、例えば半導体チップのサイズが大きくなった場合でも、その表面に外部接続端子が配置されるため、従来のような半導体チップの周囲に外部接続端子が配置されることによる外形の増大を抑えることができる。

【0036】また、外部接続端子の数が増加した場合も、半導体チップの表面に外部接続端子が配置されるため外部接続端子の配置にゆとりができ、外形の増大を抑えることができる。

【0037】第1の実施形態と比較し、電極用配線3を形成する必要がないため、その構成がシンプルになり、短時間、低コストでの製造が可能である。先述したように、複数の素子電極7の間隔にゆとりがあるような場合には、このような構成が適する。

(第3の実施の形態) 図3は、本発明の第3の実施形態を示す図である。

【0038】図1(a)と対応する箇所には同じ符号を付し、その詳細な説明を省略する。

【0039】図3の外部接続端子付半導体素子では、外部接続端子としてピン型の金属棒34が使用されており、ピングリッドアレー(PGA)型に適用したものである。金属棒34には銅材料等が用いられる。

【0040】この外部接続端子付半導体素子の製造方法は、第1の実施形態と同じであるためその詳細な説明を省略する。

(第4の実施の形態) 図4は、本発明の第4の実施形態を示す図である。

【0041】図1(a)と対応する箇所には同じ符号を付し、その詳細な説明を省略する。

【0042】図4の外部接続端子付半導体素子では、外部接続端子として外部接続用の凹部44aを有するソケット44が使用されており、このソケット44に凸部を有する配線を接続することにより外部素子もしくは外部装置への接続がなされる。

【0043】この外部接続端子付半導体素子の製造方法は、第1の実施形態と同じであるためその詳細な説明を省略する。

【0044】

【発明の効果】以上、詳細に説明した様に本発明では、外部接続端子4が半導体チップ表面を覆う保護膜5の上部に露出するよう形成されているので、例えば半導体チ

6

ップのサイズが大きくなった場合でも、その表面に外部接続端子が配置されるため、従来のような半導体チップの周囲に外部接続端子が配置されることによる外形の増大を抑えることができる。

【0045】また、外部接続端子の数が増加した場合も、半導体チップの表面に外部接続端子が配置されるため外部接続端子の配置にゆとりができ、外形の増大を抑えることができる。

【0046】また、本発明では、半導体基板の外周に沿って溝6が形成され、その溝内部および上部には保護膜5が形成されているため、素子本体と外部との距離が長くなり、半導体基板1と保護膜5との界面から外部雰囲気が入り込むのを防止することができ、さらに、熱的ストレスによる保護膜5のダメージを防止することができる。また、この溝6により半導体基板と保護膜との接触面積が増加するため、切断時の機械的ストレスを緩和できる。

【0047】さらに、半導体チップの表面を保護膜5で覆う構造となっているため、セラミックもしくはモールド樹脂によるさらなる実装が不要になり、外形の小型化、実装密度の向上を図ることができる。

【0048】また、第1の発明では、素子電極7と外部接続端子4との間を電極用配線3を用いて接続しているため、外部接続端子4を半導体チップ表面内で、任意の位置に、任意の数量・ピッチで形成することができ、外形の小型化が実現でき実装密度の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す図

【図2】本発明の第2の実施形態を示す図

【図3】本発明の第3の実施形態を示す図

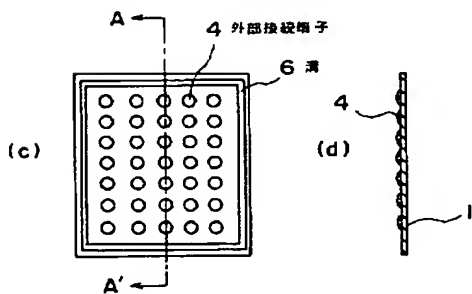
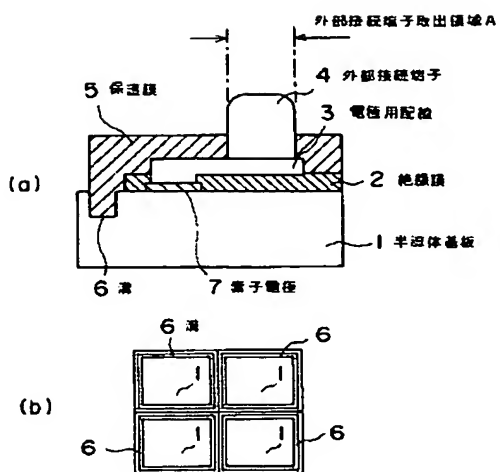
【図4】本発明の第4の実施形態を示す図

【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 電極用配線
- 4 外部接続端子
- 5 保護膜
- 6 溝
- 7 素子電極
- A 外部接続端子取出領域
- 34 金属棒
- 44 ソケット
- 44a 凹部

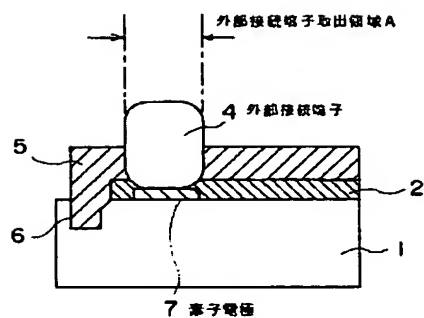
(5)

【図1】



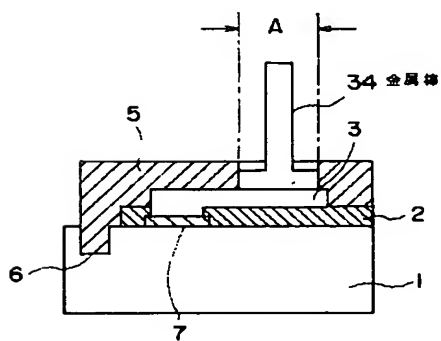
本発明の第1の実施形態を示す図

【図2】



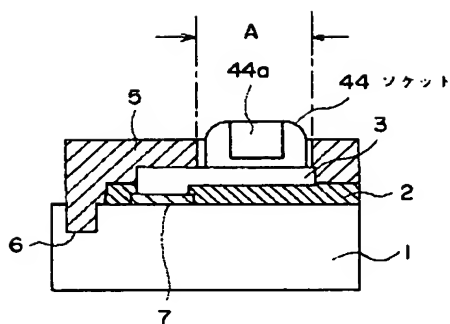
第2の実施形態を示す図

【図3】



第3の実施形態を示す図

【図4】



第4の実施形態を示す図